

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-012963

(43)Date of publication of application : 21.01.1994

(51)Int.Cl.

H01H 59/00

H01H 49/00

(21)Application number : 04-169149

(71)Applicant : SHIMADZU CORP

(22)Date of filing : 26.06.1992

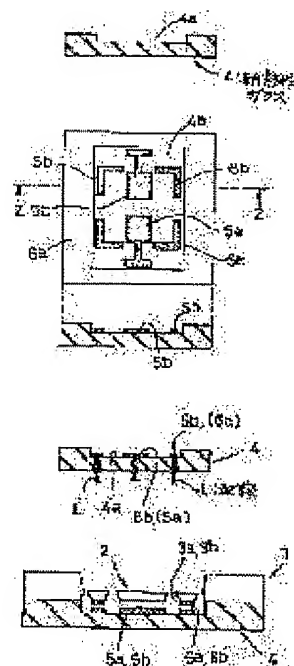
(72)Inventor : MARUNO HIROMASA
NAKANISHI HIROAKI

(54) MANUFACTURE OF ELECTROSTATIC TYPE MICRORELAY

(57)Abstract:

PURPOSE: To provide an electrostatic type microrelay wherein a movable electrode part can be manufactured in high accuracy further with good reproducibility further facilitate circuit integration by using a high energy ion implanting method to introduce a dopant to a predetermined region of a monocrystal Si substrate, and performing etching by a specific mode.

CONSTITUTION: A heat resistant glass 4 is worked to provide a recessed part 4a in one surface of the glass 4. Next, pattern driving electrodes 5a, 5b and contact electrodes 6a, 6b are formed in the bottom surface of the recessed part 4a. Each electrode 5a...6b is a metal film of W, Au or WSi, etc. Then, a connecting hole is left as opened in a position corresponding to each electrode 5a...6b from a reverse surface side of the heat resistant glass 4. Further, after performing anode connection in these electrodes 5a, 5b, 6a, 6b, a wire L is bonded with epoxy resin. The fellow substrates 1, 4 are pasted together, to obtain an electrostatic microrelay.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-12963

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.⁵

H 0 1 H 59/00
49/00

識別記号

庁内整理番号

9060-5G
J 9060-5G

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-169149

(22)出願日 平成4年(1992)6月26日

(71)出願人 000001993

株式会社島津製作所

京都府京都市中京区西ノ京桑原町1番地

(72)発明者 丸野 浩昌

京都府京都市中京区西ノ京桑原町1番地

株式会社島津製作所三条工場内

(72)発明者 中西 博昭

京都府京都市中京区西ノ京桑原町1番地

株式会社島津製作所三条工場内

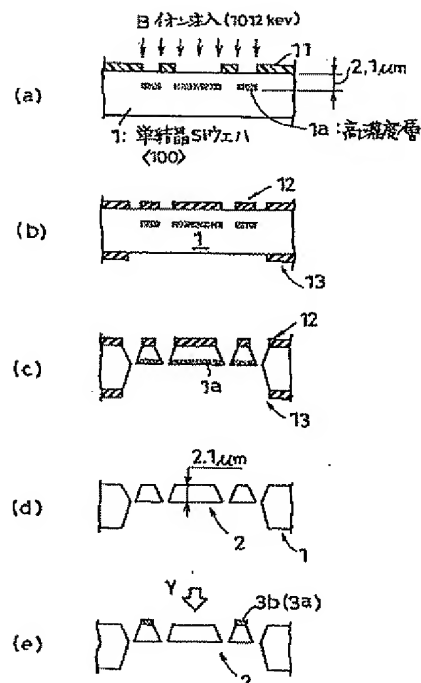
(74)代理人 弁理士 西田 新

(54)【発明の名称】 静電型マイクロリレーの製造方法

(57)【要約】

【目的】 可動接点部を高精度でかつ再現性よく作製することができ、しかも回路集積等が可能な静電型マイクロリレーを製造する方法を提供する。

【構成】 200keV以上の高エネルギーイオン注入法を採用して、単結晶Si基板に、ドーパントを、エッチングスピードが桁違いに遅くなる条件まで導入した後、このSi基板を所定パターンマスク材で覆った状態でエッチングを行うことによって、リレーの可動接点部を形成する。



【特許請求の範囲】

【請求項1】 可動電極部をSi基板に形成するとともに、その駆動用の電極を製作することによって静電型マイクロリレーを得る方法であって、200keV以上の高エネルギーイオン注入法を採用して、単結晶Si基板の所定領域にドーパントを、エッチングスピードが桁違いに遅くなる条件まで導入した後、このSi基板を所定パターン

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、Siを材料とする数 μ mの厚さの可動電極部を有する静電型マイクロリレーを製造する方法に関する。

【0002】

【従来の技術】 マイクロマシニング等の分野においては、Si異方性エッチング技術を利用して、静電型マイクロリレーの可動電極部が製作されている。ところが、この技術によると、可動電極部の厚さを決定する制御対象が異方性エッチングの時間制御のみであることから、その厚さを正確に制御することが困難で、数 μ mの厚さの可動電極部を再現性良く得ることができない。

【0003】 そこで、以上のような問題を解消するために、従来では、以下に列記する方法を採用している。

①ドーパント濃度を、エッチングスピードが桁違いに遅くなる（以下、エッチストップと称する）条件（例えばKOH水溶液をエッチャントとした場合、 1×10^{20} ions/cm³以上）にまで高めたエピタキシャルSi薄膜をSi基板上に厚さ数 μ m程度に成膜し、次いでフォトリソグラフィ技術等によりSi基板に所定のマスクパターンを形成した後に、基板エッチングを行って、エピタキシャルSi薄膜を可動電極部とする。

【0004】 ②熱拡散法、もしくは一般的なイオン注入法と熱拡散法を併用することによって、Si基板の表面層にドーパントを、エッチストップとなる条件まで導入した後、先の①の方法と同様なエッチングを行って可動電極部を得る。

【0005】

【発明が解決しようとする課題】 ところで、上述した①の方法によれば、まず、エピタキシャルSi成膜の工程がコストアップの要因となる。また、残った薄膜にはドーパントが高濃度に入っているため、電気回路等を集積する場合には使用できない。さらに、Si基板から形成される場合と異なり、薄膜は材料としての機械的特性に、ばらつきがあるためリレーとしての性能に影響が及ぶ。

【0006】 一方、②の熱拡散法を採用した場合には、拡散時間が長時間に及ぶのでスループットが悪いという問題や、先の①と同様に回路を集積できないといった問

題がある。さらには、熱拡散深さを正確に制御できないという問題もある。また、ドーパントを、従来の一般的なエネルギーのイオン注入法で導入するだけでは、ドーパントはサブミクロンの深さにしか到達せず、そのままエッチングしても薄すぎてリレーの可動電極部としては使用できない。

【0007】 本発明は、上記の従来の諸問題点を鑑みてなされたもので、その目的とするところは、可動電極部を高精度でかつ再現性よく作製することができ、しかも回路集積等が可能な静電型マイクロリレーを製造することができる方法を提供することにある。

【0008】

【課題を解決するための手段】 上記の目的を達成するために、本発明方法では、実施例に対応する図1に示すように、200keV以上の高エネルギーイオン注入法を採用して、単結晶Si基板1の所定領域に、ドーパントをエッチストップ条件まで導入した後(a)、Si基板1に所定パターンのマスク12、13を形成し(b)、この状態でSi基板1のエッチングを行うことによって、リレーの可動電極部2を得る。

【0009】

【作用】 例えば図4に示すように、単結晶Siをターゲットとして、1012keVのB（ホウ素）イオンを注入すると、その注入イオンは、ターゲット表面から深さが深くなるにつれ濃度が上昇してゆき、深さ約2 μ mでピークに達し、ピーク深さより深いところでは濃度が急激に低下する。

【0010】 ここで、例えばKOHをエッチャントとして単結晶Siのエッチングを行った場合、Bの濃度が 1×10^{20} ions/cm³を超えると、そのエッチングスピードが他の部位に対して1/40程度に遅くなるということが知られている（K.E.Petersen: Si as a Mechanical Material Proc. IEEE vol. 70, no. 5, pp420-457(1982)）。

【0011】 従って、上記した高エネルギーイオン注入を行った後に、単結晶Si基板1のエッチングを行うと、イオン注入面の裏面側からのエッチングは、高濃度のイオン打ち込み層（ドーパント層）でストップし、これにより、例えば厚さ約2.1 μ mの可動電極部2を得ることができる。

【0012】 しかも、イオン注入法は、ドーパント分布を正確に計算できることから、可動電極部2の厚さを正確かつ容易に制御できる。また、高エネルギーイオン注入法によりドーパントを高濃度に注入しても、単結晶Si基板1の表層のドーパント濃度は低くてすむので、Si基板1への回路集積が可能となる。

【0013】

【実施例】 本発明の実施例を、以下、図面に基づいて説明する。図1は本発明方法の実施例の手順を説明する図である。

【0014】 まず、(a)に示すように、単結晶Si < 1

00>ウェハ1の表面を、図2(a)に示すパターンつまりリレーの可動電極部に相応する部分に窓が開口されたパターンのフォトレジスト膜11で覆った状態で、この単結晶Siウェハ1に、ドーザ量が 1×10^{16} ions/cm²のBを1012keVでイオン注入する。この高エネルギーイオン注入によって、単結晶Siウェハ1中には、先の図4で示したように、下面がウェハ表面から $2.1 \mu\text{m}$ の深さに位置し、かつ、ドーパント濃度が 1×10^{20} ions/cm³以上の高濃度層1aが形成される。なお図1の各図は模式的断面図で、その断面位置は、図2(a)のX-X位置を示す。

【0015】次に、ウェハ1の表裏両面に、KOH水溶液には、ほとんど溶けないSiN膜をCVD法などにより成膜し、さらに、その各SiN膜をフォトリソグラフィ技術を利用して加工することにより、図2(b)および(c)に示すようなパターンのSiNマスク12および13を形成する〔図1(b)〕。

【0016】次いで、KOHをエッチャントとしてウェハ1のエッチングを行う。この時、ウェハ1のイオン注入面の裏面側から進行するエッチングは、高濃度層1aに達した時点で、その進行が極端に遅くなり、ほぼ停止の状態となる〔図1(c)〕。従って、その時点でエッチングを終了し、この後に、単結晶Siウェハ1の表・裏面のSiNマスク12および13を除去することによって、(d)に示すような厚さが $2.1 \mu\text{m}$ の単結晶Si構造体つまりリレーの可動電極部2を得る。

【0017】なお、このマスク12、13の除去時、および先のフォトリソグラフィ工程時のSiNのエッチャントとしては、例えば熱リン酸等を使用する。そして、(e)およびそのY矢視図(図3)に示すように、可動電極部2上に電極3a、3bを形成する。この可動電極3a、3bはAu等の金属膜で、その形成はフォトリソグラフィ、蒸着さらにリフトオフ等の技術によって行う。

【0018】次に、以上の手順によって得られる可動電極部2の駆動用の電極と、接点電極の作製手順を、以下、図5を参照しつつ説明する。まず、(a)に示すように、耐熱性ガラス4を加工して、その片面に、凹部4aを設ける。その加工は、フォトリソグラフィおよびHFを用いたエッチングによって行う。

【0019】次に、(b)に示すようなパターンの駆動電極5a、5bおよび接点電極6a、6bを、凹部4aの底面に形成する。その各電極5a・6bは、W、AuあるいはWSi_x等の金属膜で、その形成はフォトリソグラフィ、蒸着さらにリフトオフ等の技術によって行う。この後、(c)に示すように、耐熱性ガラス4の裏面側から、各電極5a・6bに対応する位置に、接続用の孔を開孔しておく。なお、その各電極5a、5b、6a、6bには、後述する陽極接合を行った後に、配線Lをエポキシ樹脂で接着する。

【0020】そして、この工程で得られた図5(c)の構

造のものと、先の工程で得られた図1(e)の構造のものを、その基板同士1と4とを互いにはり合わせて、図6に示す構造の静電型マイクロリレーを得る。なお、そのはり合わせには、マイクロマシニング技術などで利用されている陽極接合法を採用する。

【0021】図7は、以上の本発明実施例の手順で得られる静電型マイクロリレーの実用例の構造を示す分解斜視図である。この構造において、駆動電極5aに電圧を印加すると、可動電極3a側の可動電極部2が、駆動電極5aに向けて引き寄せられ、その可動電極3aが接点電極6aに繋がる。その逆に駆動電極5bに電圧を印加すると、もう一方の可動電極部2が駆動電極5bに向けて引き寄せられ、その可動電極3bが接点電極6bに繋がる。

【0022】ここで、本発明実施例では、図1に示した手順によって、厚さが $2.1 \mu\text{m}$ と非常に薄いリレーの可動電極部2を得ることができるので、その可動電極部2の駆動電圧はきわめて小さい値で済む。その理由を以下に述べる。

【0023】まず、静電力は小さい粒子や薄いシートに対して有効に働く。これは、静電力の働く源が物体の表面に分布する電荷であるため、物体が薄くなればなる程、その比表面積(表面積/体積)が増すことに起因するためである(Hiroyuki Fuji-ta:Micro Actuators JSP E-54-09 PP1635-1640(1988))。

【0024】以上の点を、図8に示すような形状の可動はり61と電極62を例にとって説明する。この構造において、電極62に電圧Vをかけた時の発生力Fは、

【0025】

【数1】

$$F = \frac{1}{2} \epsilon_0 (V/d)^2 S \quad \dots\dots(1)$$

【0026】となる。ただし、 ϵ_0 は誘電率、Vは電圧、dはギャップ、Sは電極の面積である。この発生力Fによるたわみ δ は、

【0027】

【数2】

$$\delta = \frac{F \ell^3}{3 E \left(\frac{1}{12} w \cdot t^3 \right)} \quad \dots\dots(2)$$

【0028】となる。この(2)式から明らかなように、たわみ δ は t^3 に反比例して大きくなる。例えば $t = 10 \mu\text{m}$ で500Vの電圧を必要としていたものが、 $t = 2.1 \mu\text{m}$ にすることで約1/100の5Vで、同一のたわみ δ を得ることができる。

【0029】なお、以上の実施例において、リレーの可動電極部2を製作する際に、単結晶Siウェハに注入するドーパントとしては、エッチストップ現象を示すイオ

ン種であれば特に限定されない。また単結晶SiのエッチャントとしてはKOHのほか、例えばEDP(Ethylene diamine Pyrocatechol)あるいはヒドラジン(H₂N₂)溶液等の他の溶液を使用してもよい。さらに、単結晶Siのエッチングは、異方性もしくは等方性エッチングのいずれを適用しても本発明方法の実施は可能である。さらにまた、可動電極部の厚さや形状は先の実施例に限定されない。

【0030】

【発明の効果】以上説明したように、本発明方法によれば、リレーの可動電極部を、数 μ mの厚さに正確にかつ再現性良く加工することができ、駆動電圧がきわめて小さな静電型リレーを製作することが可能となる。しかも、Si基板を使用し、かつその表層のドーパント濃度をIC回路等を形成可能な程度に抑えることができることから、静電型マイクロリレーと、その駆動制御等を行う電気回路とを同一基板中に集積することが可能となる。さらに、単結晶Siで可動電極部を形成することが可能で、その機械的特性が優れているといった点の効果も大きい。

【図面の簡単な説明】

【図1】本発明方法の実施例の手順を説明する図

【図2】その実施例で使用するフォトリソスト膜11および

*およびSiNマスク12、13のパターン形状を示す図

【図3】図1(e)のY矢視図

【図4】単結晶Siに1012keVのBを注入した場合のドーパントプロファイルの例を示すグラフ

【図5】図1の手順によって得られた可動電極部2の駆動電極と、接点電極とを作製する手順を説明する図

【図6】本発明方法の実施例で得られる静電型マイクロリレーを示す縦断面図

【図7】本発明実施例の手順で得られるリレーの実用例を示す図

【図8】可動はりのたわみとその駆動電圧の関係を説明するための図

【符号の説明】

1…単結晶Si基板

1a…高濃度層

11…フォトリソスト膜

12、13…SiNマスク

2…可動電極部

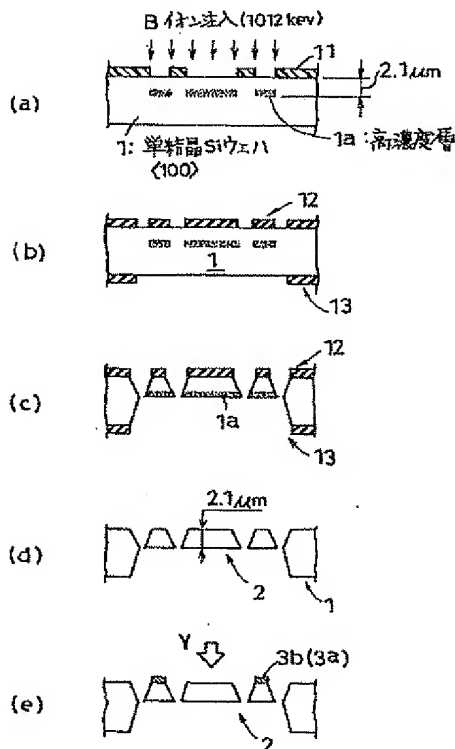
3a、3b…可動電極

20 4…耐熱性ガラス

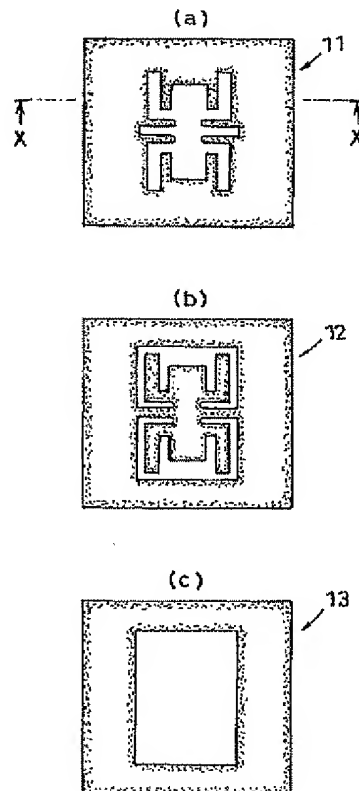
5a、5b…駆動電極

6a、6b…接点電極

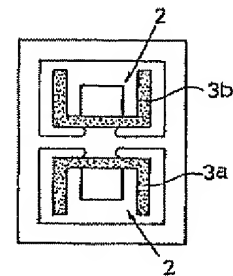
【図1】



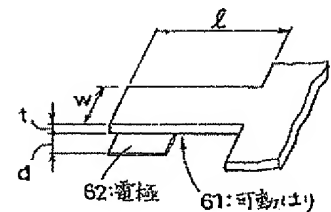
【図2】



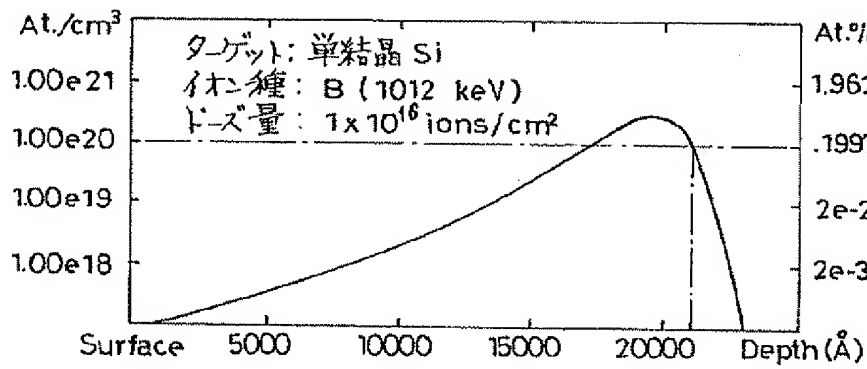
【図3】



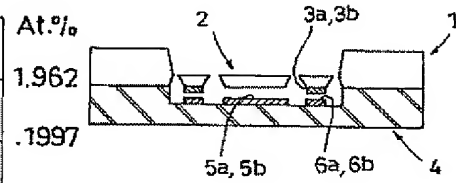
【図8】



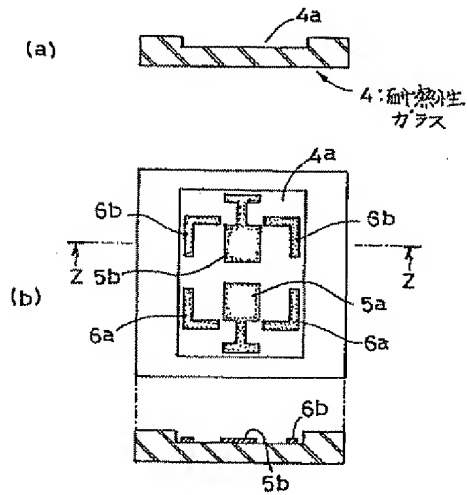
【図4】



【図6】



【図5】



【図7】

